

PAT-NO: JP02001210778A
DOCUMENT-IDENTIFIER: JP 2001210778 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: August 3, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
KAJIWARA, MAMORU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2000017687

APPL-DATE: January 26, 2000

INT-CL (IPC): H01L025/00, H01G002/06

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce power source noise and high frequency noise which cause problems in the case of high speed operation, in a flip chip connected semiconductor device.

SOLUTION: In the flip chip connected semiconductor device, a lid and a chip capacitor are mounted, the lid has a means for connecting the capacitor electrically with ground of an interposer substrate, the chip capacitor is vertically mounted, with its one terminal connected with a power source on the interposer, and the other with the lid.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210778

(P2001-210778A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) IntCl.⁷

識別記号

F I

テ-マコ-ト*(参考)

H 0 1 L 25/00

H 0 1 L 25/00

B

H 0 1 G 2/06

H 0 1 G 1/035

A

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2000-17687(P2000-17687)

(22) 出願日 平成12年1月26日(2000.1.26)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 梶原 譲

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

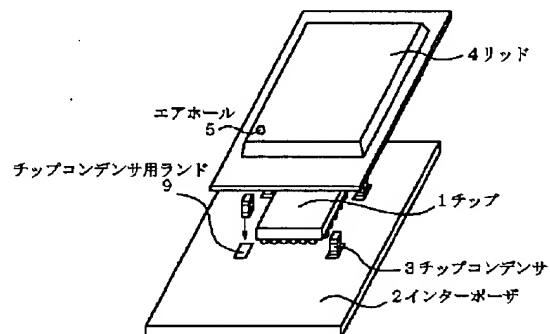
弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 フリップチップ接続タイプの半導体装置に於いて、高速動作する場合に問題となる動作時の電源ノイズ、高周波雑音を低減する。

【解決手段】 フリップチップ接続タイプの半導体装置に於いて、リッドとチップコンデンサが搭載され、前記リッドはインターポザ基板のグラウンドと電気的に接続する手段を有し、前記チップコンデンサは縦型に搭載し、このチップコンデンサの一端は前記インターポザ上の電源と接続し、他方は前記リッドと電気的に接続する。



【特許請求の範囲】

【請求項1】 フリップチップ接続タイプの半導体装置に於いて、リッドとチップコンデンサが搭載され、前記リッドはインターポーザ基板のグラウンドと電気的に接続する手段を有し、前記チップコンデンサは縦型に搭載し、このチップコンデンサの一端は前記インターポーザ上の電源と接続し、他方は前記リッドと電気的に接続する事を特徴とする半導体装置。

【請求項2】 前記リッドと前記インターポーザの間に補強枠であるスティフナが挿入されている事を特徴とする請求項1記載の半導体装置。

【請求項3】 前記リッドは前記インターポーザの外形よりやや大きくし、凹型に加工された金属板を用い、このリッドと前記インターポーザとの間に内包する様にこのインターポーザの片面に半導体チップを取り付け、前記リッドの高さは前記インターポーザの前記半導体チップ搭載面でない側と一致する高さとする事を特徴とする請求項1記載の半導体装置。

【請求項4】 前記リッドははんだボール搭載時に前記インターポーザ外周部に塗布する事により供給されるはんだで、前記インターポーザと電気的に接続される事を特徴とする請求項3記載の半導体装置。

【請求項5】 前記リッドははんだボール搭載時に前記インターポーザ外周部にはんだボール形状で供給されるはんだで、前記インターポーザと電気的に接続される事を特徴とする請求項3記載の半導体装置。

【請求項6】 前記リッドにエアホールが設けられている事を特徴とする請求項1乃至5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、チップコンデンサ搭載を行ったフリップチップ接続タイプの半導体装置の、電磁的ノイズ放射低減、或いは外部からの電磁ノイズによる誤動作を防止する事に関する。

【0002】

【従来の技術】図5は、従来のチップコンデンサ搭載を行ったフリップチップ接続タイプの半導体装置の模式図である。この構造では、チップコンデンサ3はインターポーザ2に水平に搭載される。

【0003】チップコンデンサ3は電源ノイズを低減するために搭載するのであるから、出来るだけ半導体チップ1の直近に搭載したい。しかしながら、従来この種の半導体装置ではフリップチップ接続で用いられるインターポーザ2の場合、半導体チップ直近は配線密度が最も高い領域であり、半導体チップの直近にチップコンデンサ用ランドを設けることは困難であった。また、チップコンデンサを搭載する手順としては、チップコンデンサを先に搭載し、リフローし、その後半導体チップを搭載、リフローする方法、半導体チップの搭載とチップコンデンサの搭載を同一工程で行い、一括リフローする方

法がある。いずれにしても、チップコンデンサ自体は軽量小型であり、2ヶ所のランドの間に搭載されるので、リフロー時にリフロー温度のばらつきがあると、いわゆるチップ立ちが発生し、片方の電極しか接続されないことがあった。

【0004】

【発明が解決しようとする課題】上述した従来の半導体装置においては、チップコンデンサ用ランド9は一つのチップコンデンサに電源とグラウンドの2つ必要である。チップコンデンサ用ランド9が2つ必要とするため、半導体チップ1の直近にチップコンデンサを搭載することは困難であった。また、図5には図示していないが、リッドを取り付けるとチップコンデンサ3の取り付け部分と重なり、リッドのキャビティ部分を大きくするか、チップコンデンサ搭載部を更に半導体チップから離れた場所へ移す必要がある。

【0005】したがって、本発明の目的は、半導体装置内にチップコンデンサを内蔵し、チップコンデンサは半導体装置のインターポーザとリッドによって、電源・グラウンド間に接続しチップコンデンサの接続は一端がインターポーザ、もう一端はリッドに接続して、リッドはインターポーザを介して、グラウンドに電気的に接続し、高速動作する半導体装置で問題となる動作時の電源ノイズ、高周波雑音を低減する。他の目的としてリッドにエアホールが設け、半導体装置組立時の水蒸気圧ストレス緩和している。

【0006】

【課題を解決するための手段】本発明の半導体装置は、フリップチップ接続タイプの半導体装置に於いて、リッドとチップコンデンサが搭載され、前記リッドはインターポーザ基板のグラウンドと電気的に接続する手段を有し、前記チップコンデンサは縦型に搭載し、このチップコンデンサの一端は前記インターポーザ上の電源と接続し、他方は前記リッドと電気的に接続する事を特徴とする。また、前記リッドにエアホールが設けられて構成されることを特徴としている。

【0007】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は本発明の第1の実施形態を示す模式図である。図1に示されるように、本実施形態は、フリップチップ接続を行う半導体装置に対して特に有効である。インターポーザ2の上に半導体チップ1、複数個のチップコンデンサ3が搭載される。チップコンデンサ3は一端面のみインターポーザと接続される。図1では図示していないが、フリップチップの接続部は、アンダーフィル樹脂によって半導体チップ表面保護と強度補強が図られている。半導体チップ1の裏面、およびチップコンデンサ3のもう片側の端面には導電性ペーストが塗布され、金属のリッド4が半導体チップ1、チップコンデンサ3を覆う位置に搭載されている。リッド4にはエ

アホール5が設けられている。

【0008】図2は本発明の断面図である。この半導体装置の組立は以下に行われる。初めにインターポーザ2の上に半導体チップ1を搭載する。次にチップコンデンサ3を搭載するが、インターポーザには一端面のみ接続するように搭載する。接続、および固着するためにははんだを用いる。はんだはインターポーザ上に予備はんだとして搭載前に塗布しても良いし、チップコンデンサに予めはんだメッキを行っておいても良い。その後、いわゆるリフローを行い、インターポーザ2と半導体チップ1、およびチップコンデンサ3を電気的に接続する、一括リフローで接続が取れる。次にアンダーフィル樹脂7を塗布、キュアする。そして半導体チップ1の裏面、チップコンデンサ3のもう片側の端面、インターポーザ2の一部（リッド4が半導体チップの外側でインターポーザと接触する箇所であり、予め電源パッドを設けた場所）に導電性ペースト6を塗布し、リッド4を搭載した後、導電性ペースト6を固定するキュアを行う。その後、はんだボール8をインターポーザ2に搭載、リフローし、捺印等の工程を経て半導体装置の組立が完了する。

【0009】図3は、本発明の第2の実施形態である。リッド4とインターポーザ2の間にスティフナ10と呼ばれる補強材が入っている。リッド4は、第1の実施形態同様導電性ペーストを用いて、インターポーザ2のグランドパッド、スティフナ10、リッドの順で電気的に接続されている。この構造では、半導体装置がスティフナ10の存在により剛性が向上するので、より大きな半導体チップにでも適用できる。また、リッド4の面積が広がるので放熱性が良くなり高発熱の半導体チップにも適用できる。

【0010】図4は、本発明の第3の実施形態である。リッド4はインターポーザ2の外形よりやや大きくし、凹型に加工された金属板とする。また、リッド4の高さは半導体チップ1の裏面に所望の厚さの導電性ペースト6を塗布した状態で、インターポーザ2の半導体チップ1搭載面でない側と一致する高さとする。チップコンデンサ3は半導体チップの直近に搭載するのが望ましいが、インターポーザ2の外周端でも良い。この構造でも、チップコンデンサ3は縦型に搭載される。更に、リッド4ははんだボール8の搭載時にインターポーザ外周部に塗布、またははんだボール形状で供給されるはんだで、インターポーザ2と電気的に接続される。この実施形態の特徴はチップコンデンサ3の搭載位置の自由度が高いことである。

【0011】第1の実施形態、第2の実施形態とも半導体チップの直近に搭載することを前提としているため、搭載個数的に制限が出るが、第3の実施形態ではインターポーザ2上のどこにでも搭載可能なので、複数個搭載して大容量化を図ることや、許容耐圧、周波数特性の異

なるチップコンデンサを搭載して、半導体装置の特性を最適化することが可能である。また、リッド4の面積は第2の実施形態のように大きいので、低熱抵抗化が図られる。更にリッド4はチップコンデンサ3でも支えられているので、リッド4の上に更に図示していない大型の外部ヒートシンクを取り付ける場合でも、リッド4の変形は最小限に抑えられる。

【0012】

【発明の効果】以上説明したように、本発明は、(1)チップコンデンサ3を半導体チップ1の直近に搭載できるので、電源ノイズに対する電気特性が向上する、(2)半導体チップ1とチップコンデンサ3を一回のリフローで固定でき、製造工程が簡略化される、(3)チップコンデンサ3搭載によるアンダーフィル樹脂フィレットの形状異常を低減でき、接続信頼性を向上させることが出来る、(4)半導体チップ1、チップコンデンサ3、リッド4を一括で固着出来ると同時に電気的にも接続できるので、製造工程が簡略化される、(5)導電性ペースト6の厚さを薄くでき、半導体装置の熱抵抗を低くできる、(6)リッド4が電気的にグランドに接続されるので、半導体チップ1の動作時の電磁的ノイズ放射低減、逆に外部からの電磁ノイズによる半導体チップ1の誤動作を防止できる効果がある。

【0013】従来この種の半導体装置ではフリップチップ接続で用いられるインターポーザ2の場合、半導体チップ直近は配線密度が最も高い領域であり、半導体チップの直近にチップコンデンサ用ランドを設けることは、困難であった。本発明では、チップコンデンサを立てて搭載するので、搭載用のランド面積が2分の1で済み半導体チップの近くにチップコンデンサを搭載できる。チップコンデンサを搭載する手順としては、チップコンデンサを先に搭載し、リフローし、その後チップを搭載、リフローする方法、本発明と同様に半導体チップの搭載とチップコンデンサの搭載を同一工程で行い、一括リフローする方法がある。いずれにしても、チップコンデンサ自体は軽量小型であり、2ヶ所のランドをまたいで搭載されるので、リフロー時にリフロー温度のばらつきがあると、いわゆるチップ立ちが発生し、片方の電極しか接続されないことがある。本発明ではチップコンデンサを縦型に搭載するので元々1ヶ所しかはんだリフローされず、チップ立ちのような現象は発生しないし、2回に分けてリフローする必要もない。

【0014】チップコンデンサ3をチップ1の近くに搭載すると、アンダーフィル樹脂7の拡がりをおさえ、結果的に半導体チップ側面のフィレット形状を波打たせてしまうことがある。フィレット形状が正しい形にならないと、半導体チップに加わる熱応力が形状異常部分に集中し、半導体チップの破壊に至ることがある。本発明では、チップコンデンサを半導体チップの直近に搭載するが、縦型であるため、アンダーフィル樹脂の拡がりを妨

害する可能性が低くなる。

【0015】リッド4を取り付ける際には、導電性ペースト6を半導体チップ1の裏面、チップコンデンサ3の片端面、インターボザ上のリッドグランド接続部に塗布する。導電性ペースト6は、例えば銀ペースのようなもので良いので、1本のノズルで3ヶ所とも塗布できる。その後、リッド4を所定の位置に置き、押し圧力をかけて半導体チップ裏面に一様に且つ薄く配置する。工程としては導電性ペースト6の塗布、キュアの2工程で済み、製造は容易である。

【0016】本発明では、リッド4にエアホール5を設けている。これにより導電性ペースト6に溶剤成分の高いもの、すなわち流動性が高い材料を使用した場合でも、キュア時のガスぬきが可能である。流動性が高い導電性ペーストなので、リッドを押しつけて、半導体チップ裏面とリッド4との距離を短くでき、結果として半導体装置の熱抵抗を低減できる。また、エアホール5がはんだボール搭載後のリフローで水蒸気圧によるインターボザ破壊、アンダーフィル樹脂の剥離を防ぐことができるのは言うまでもない。リッド4はインターボザ2を経由してグランドと接続されている。これにより、電磁放射ノイズの発生防止と外部からの飛び込みを防止できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す半導体装置の模式図である。

【図2】本発明の第1の実施形態を示す半導体装置の断面図である。

【図3】本発明の第2の実施形態を示す半導体装置の断面図である。

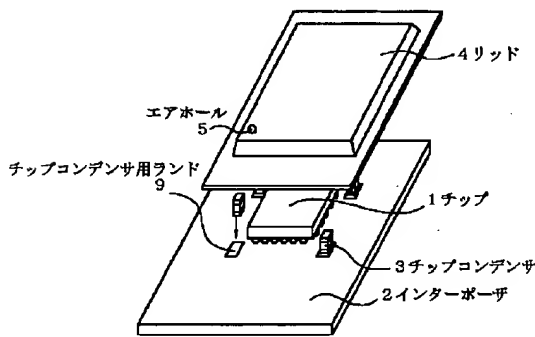
【図4】本発明の第3の実施形態を示す半導体装置の断面図である。

10 【図5】従来のチップコンデンサ搭載を行ったフリップチップ接続タイプの半導体装置の模式図である。

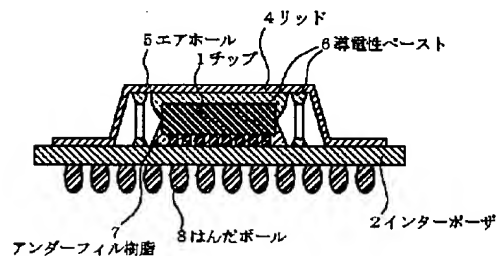
【符号の説明】

- 1 半導体チップ
- 2 インターボザ
- 3 チップコンデンサ
- 4 リッド
- 5 エアホール
- 6 導電性ペースト
- 7 アンダーフィル樹脂
- 8 はんだボール
- 9 チップコンデンサ用ランド
- 10 スティフナ

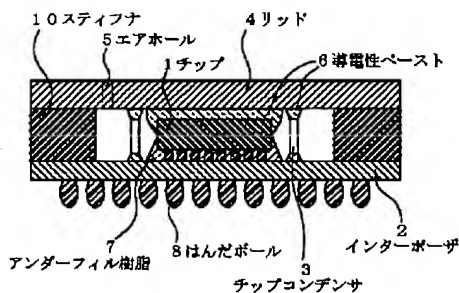
【図1】



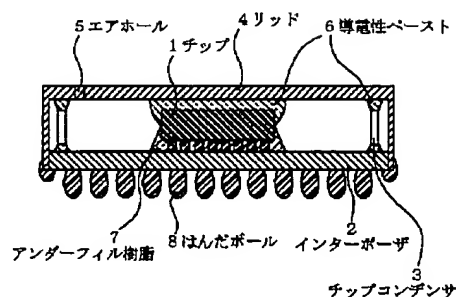
【図2】



【図3】



【図4】



【図5】

